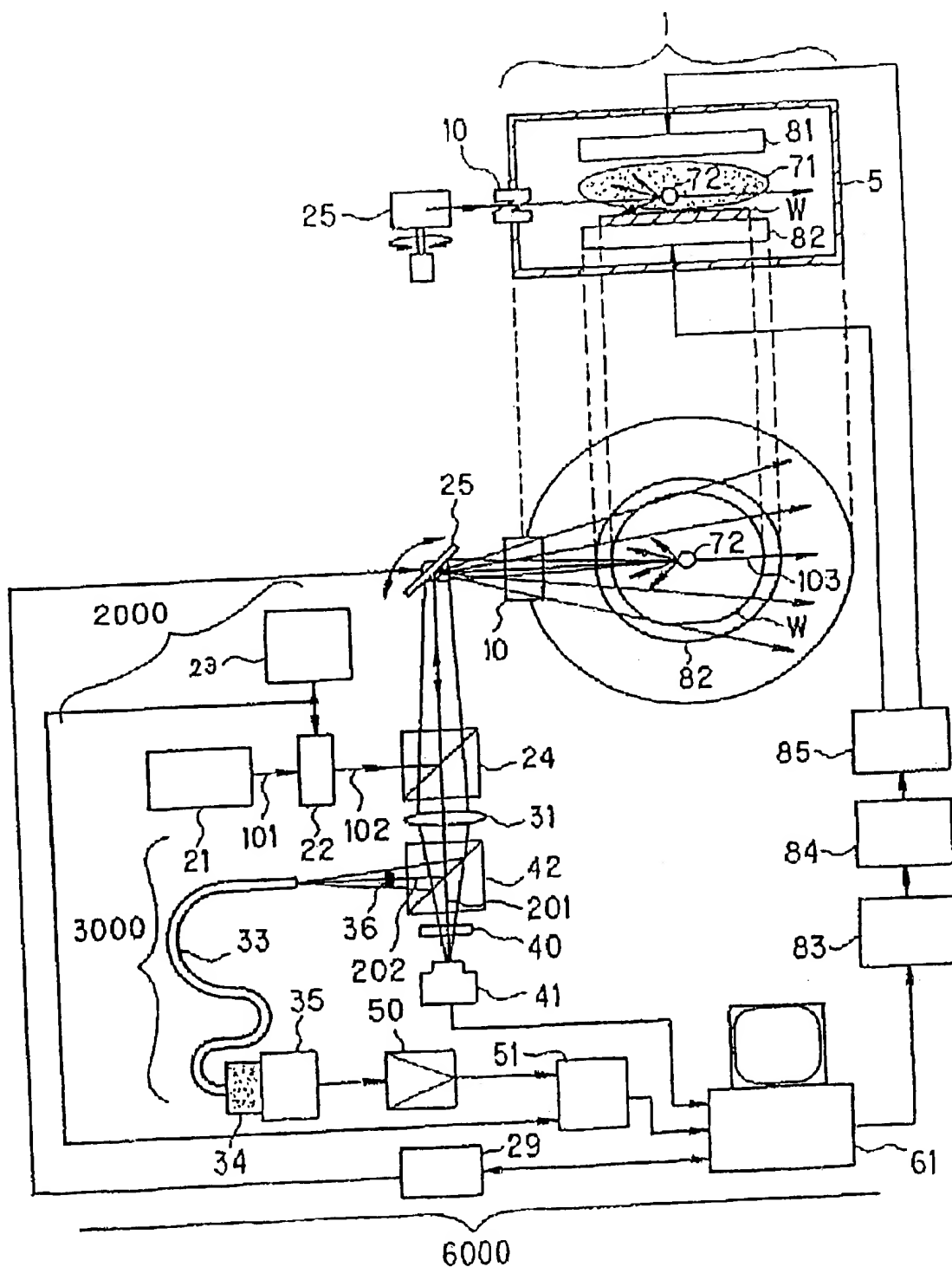


【書類名】 図面

【図 1】

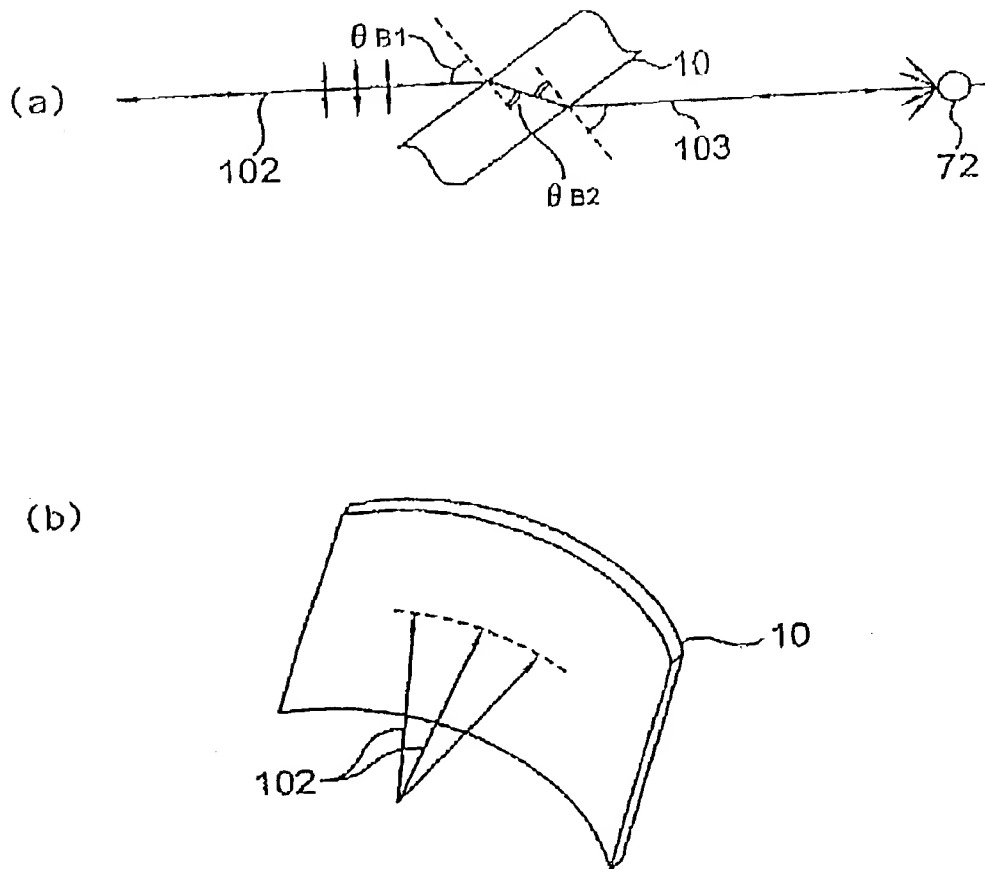
図 1



ファイル名 = D99008581A1.el

【図 2】

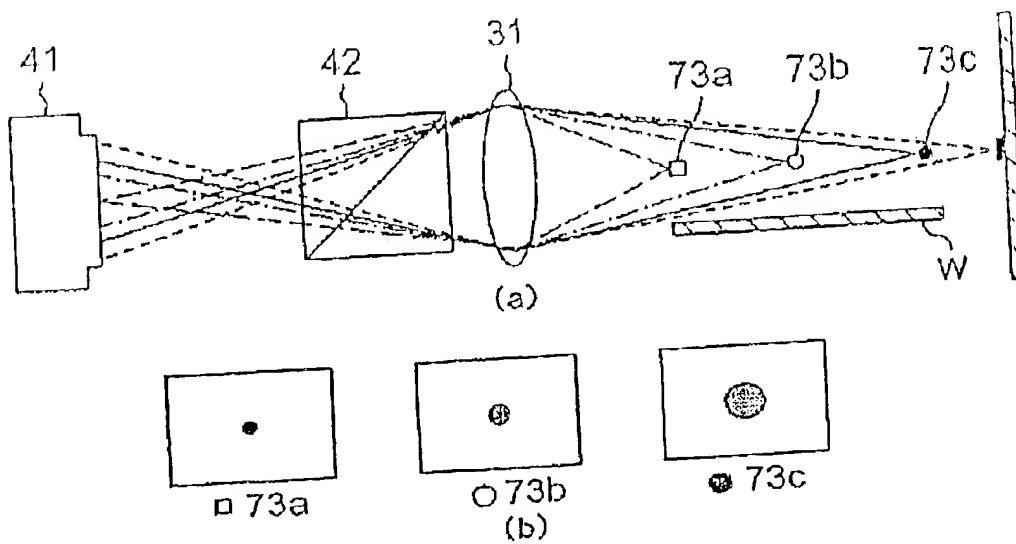
図 2



ファイル名 = D99008581A1.e1

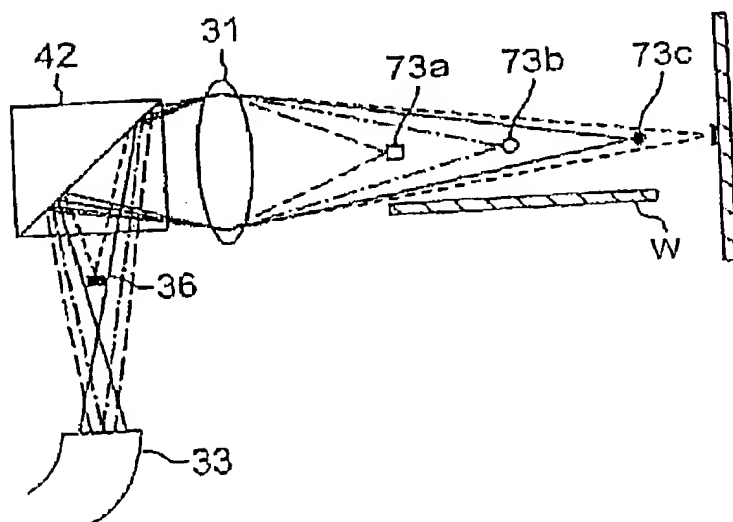
【図 3】

図 3



【図 4】

図 4



2003年02月27日 17時19分

日立 横浜製作所

No. 2364 F 31

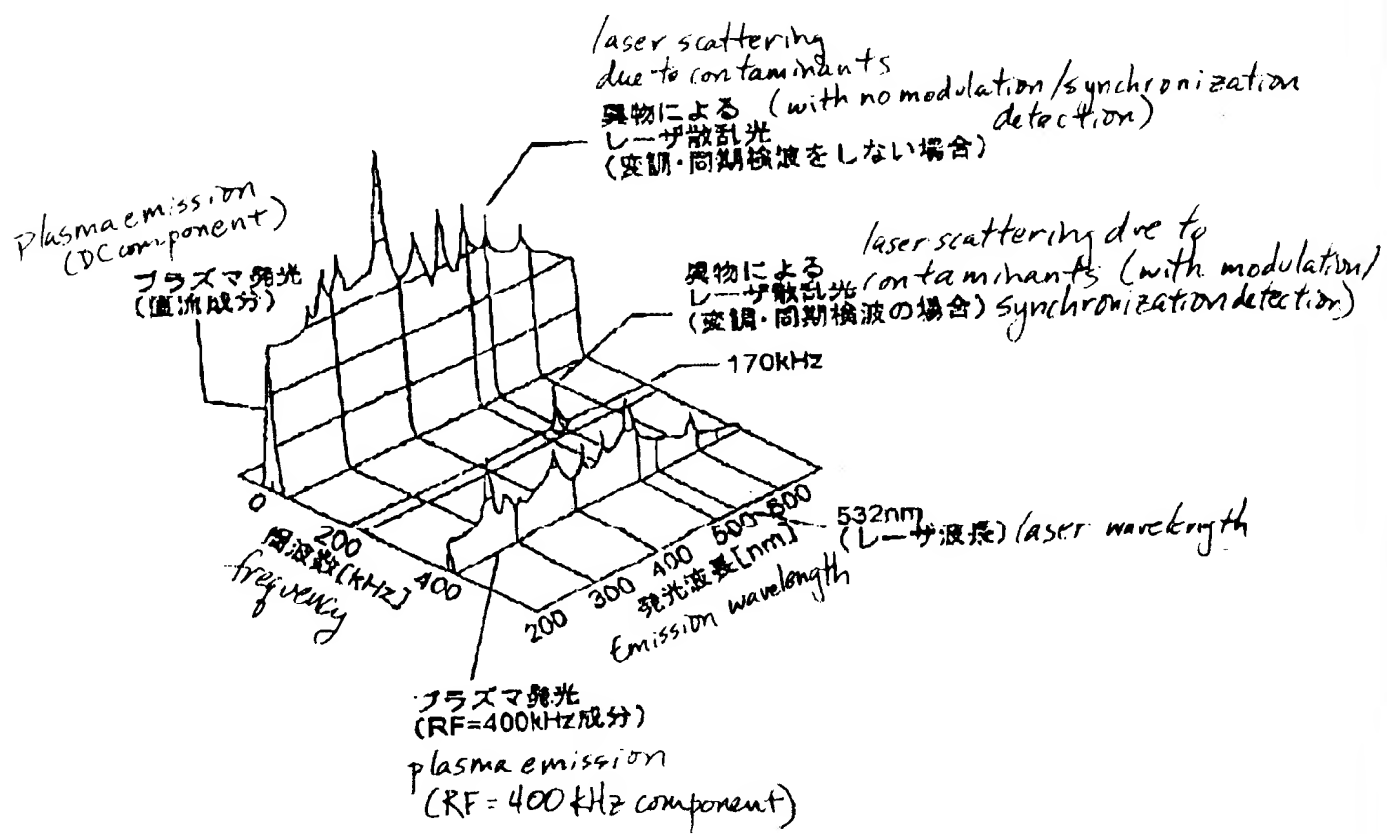
出 原 資 料 名

ページ (42 / 61)

ファイル名 = D99008581A1.c1

【図 5】

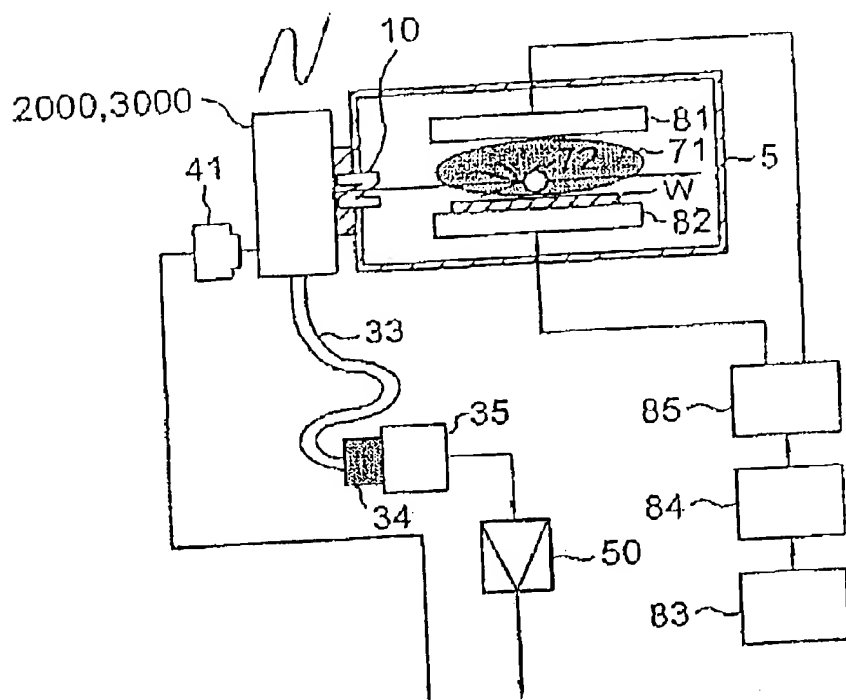
図 5 Fig. 5



ファイル名 = D99008581A1.e1

【図 6】

図 6



2000年12月 08 10時19分

日付 欄外本誌?

№. 3764 P. 33

出 版 頁 類

ページ (44 / 61)

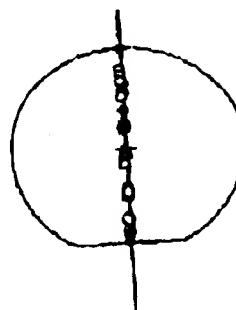
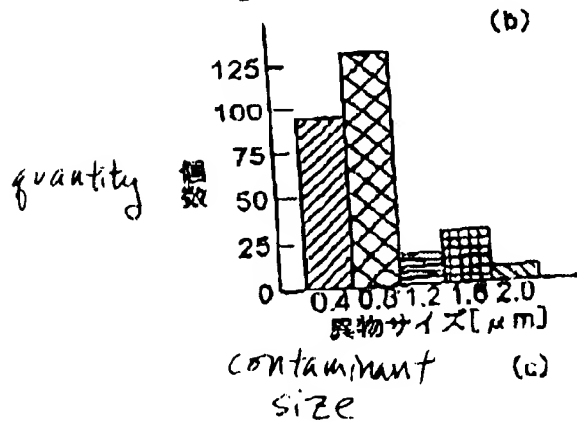
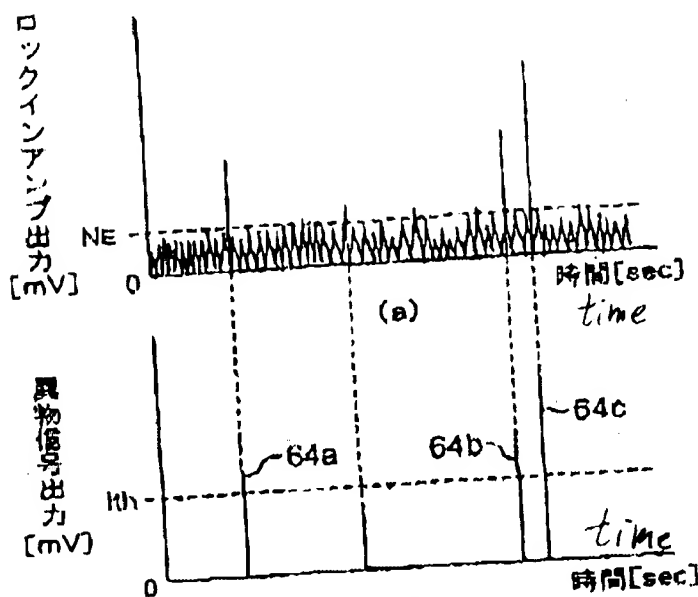
ファイル名 = C39008581A1.cl

【図 7】

図 7 Fig. 7

lock-in
amp
output

contaminant
signal
output



2000 12月 15日 17時19分

日立 横浜知本社2

No. 8764 P. 54

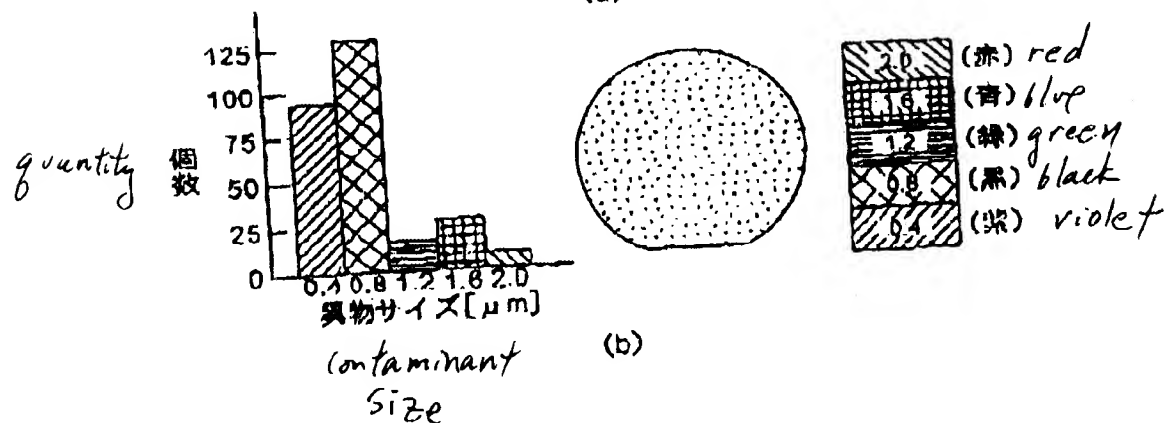
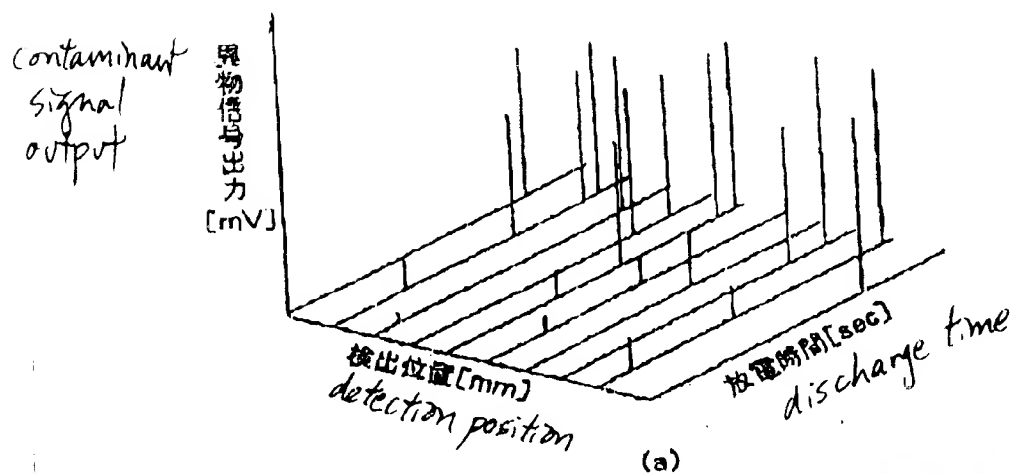
出願書類

ページ (45 / 61)

ファイル名 = D99008681A1.e1

【図8】

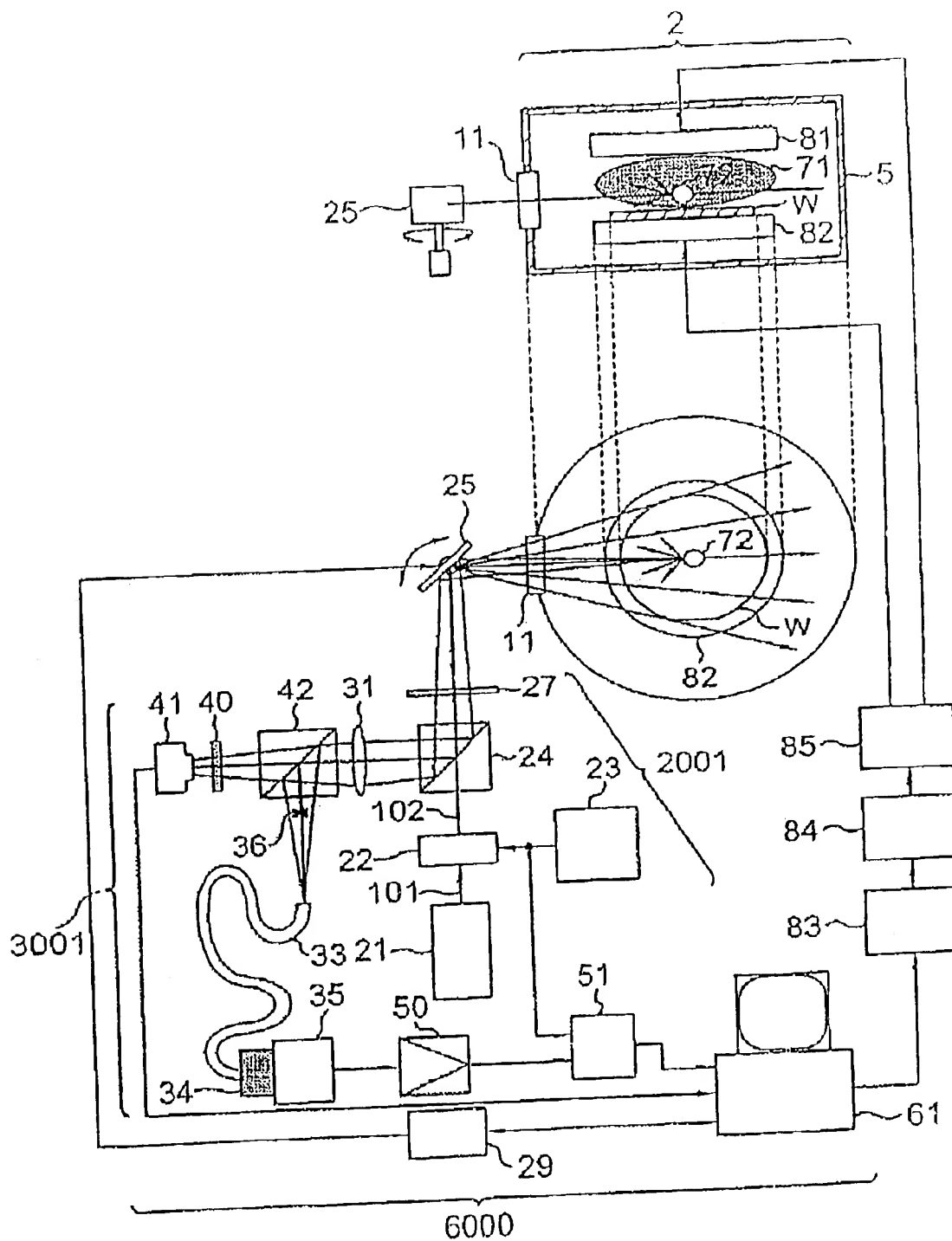
図8 Fig 8



ファイル名 = D99008581A1.e1

【図9】

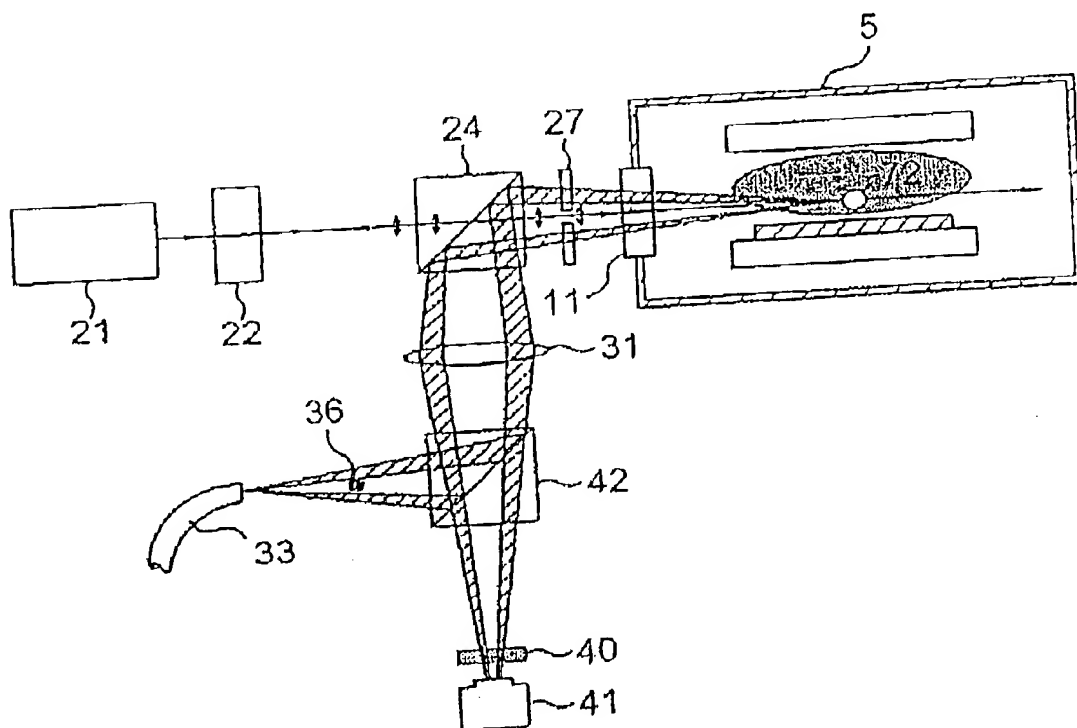
図9



ファイル名 = D99008581A1.e1

【図10】

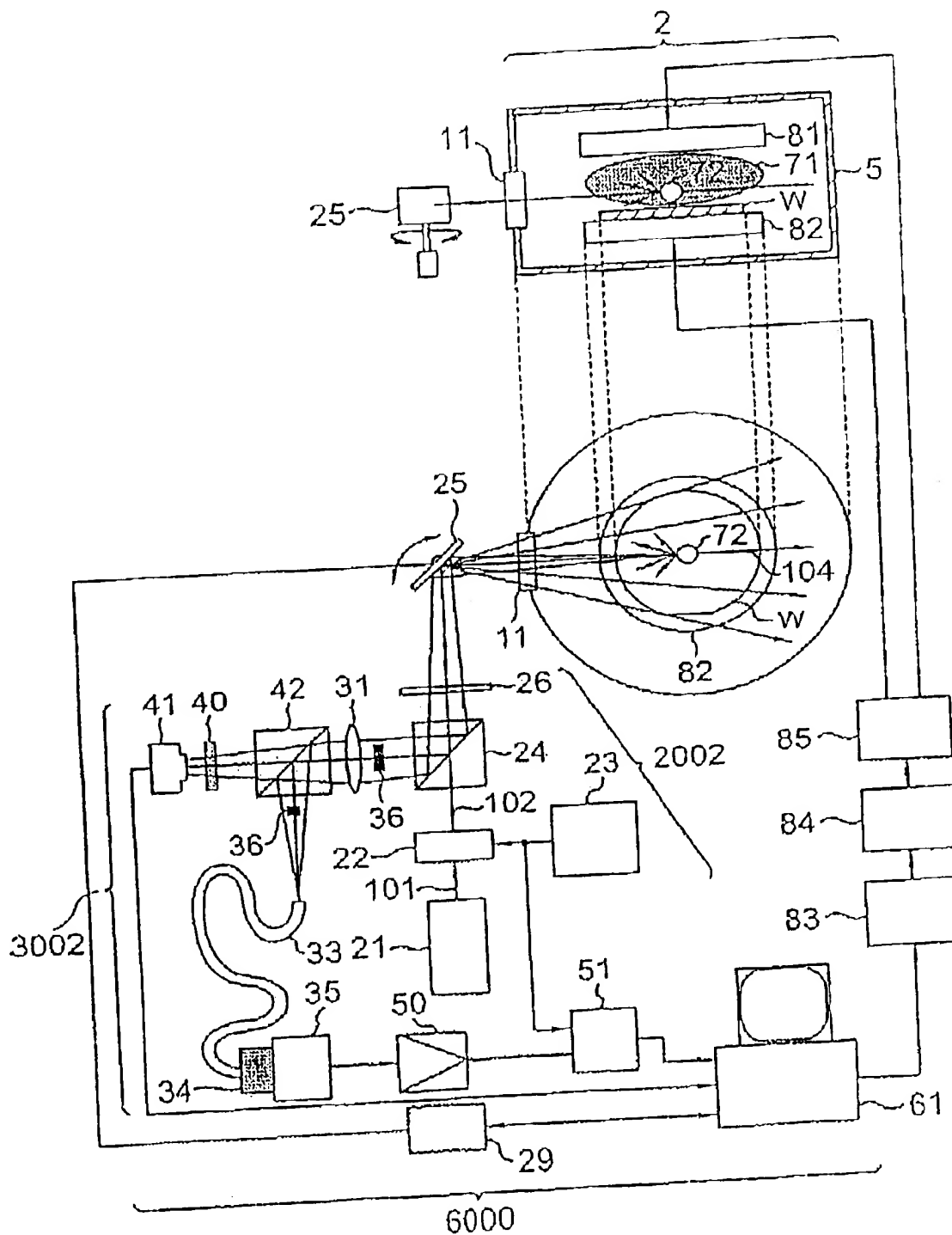
図10



ファイル名 = D99008581A1.e1

【図 11】

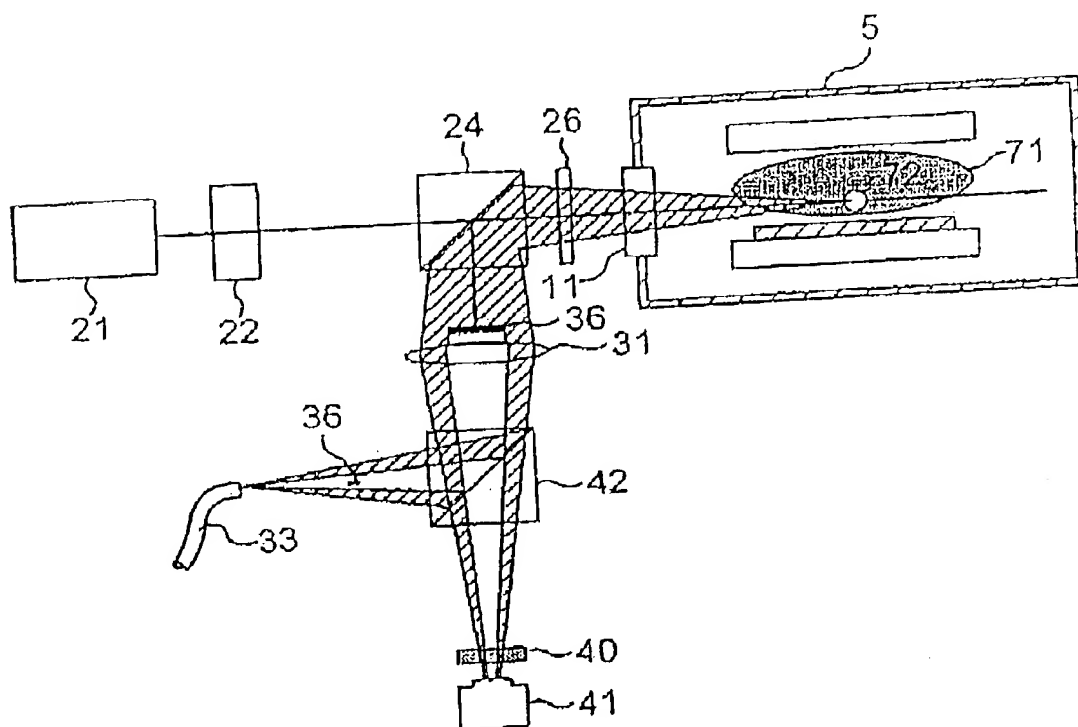
図 11



ファイル名 = D99008581A1.el

【図 1 2】

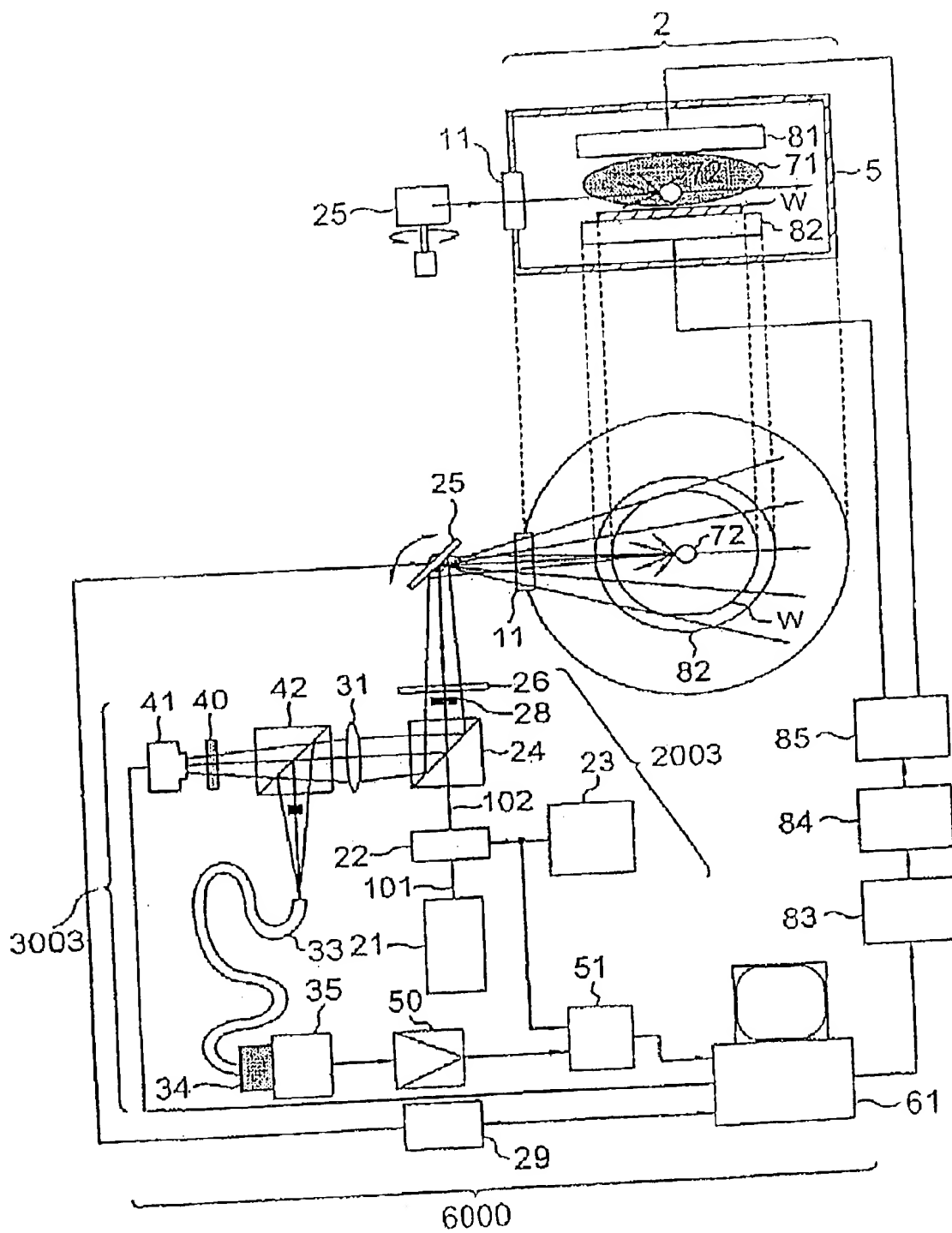
図 1 2



ファイル名 = D99008581A1.e1

【図13】

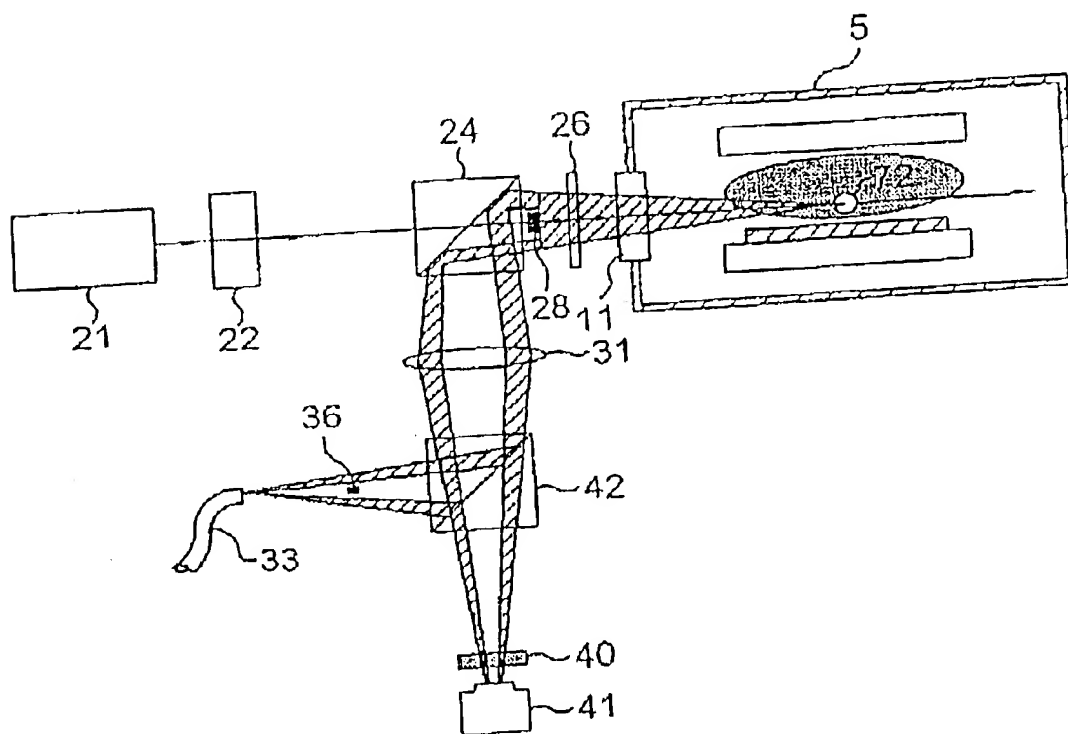
図13



ファイル名 = D99008581A1.e1

【図14】

図14

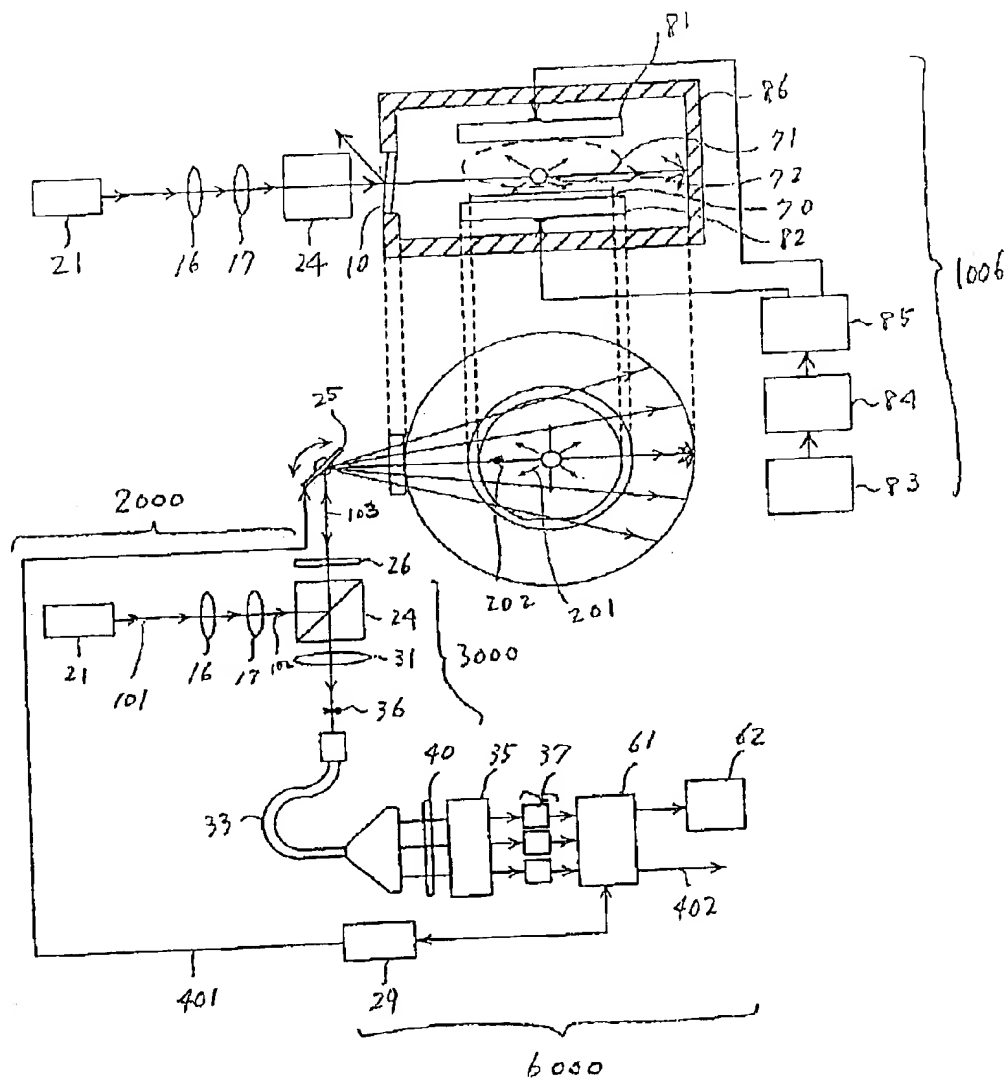


T02F00-004084-001

ファイル名 = D99008581A1.el

【图 15】

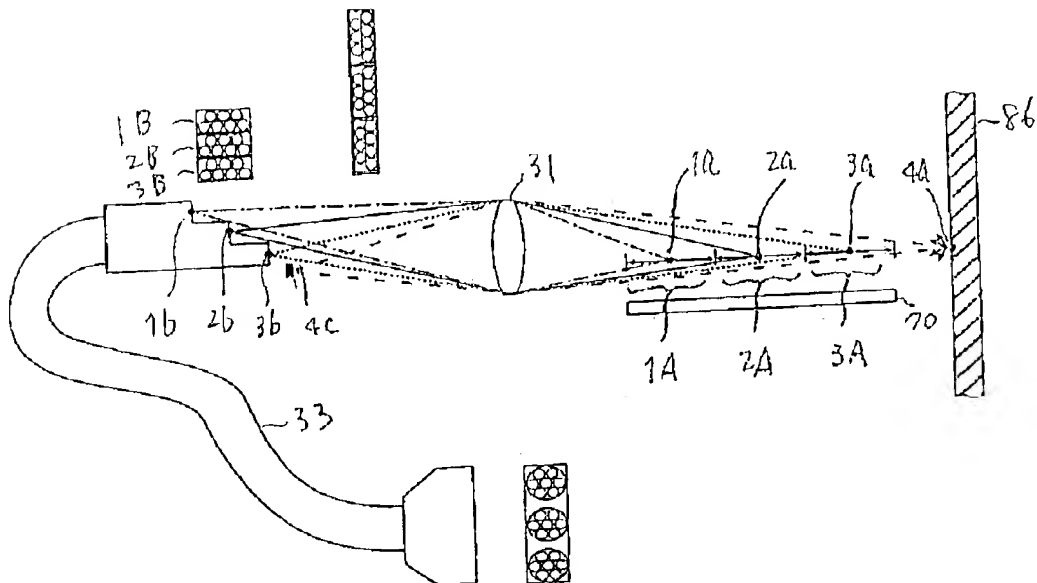
图 15



ファイル名 = D99008581A1.el

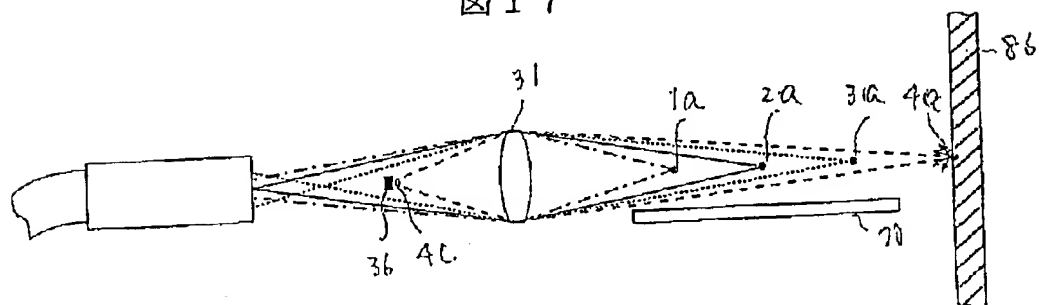
【図 16】

図 16



【図 17】

図 17



2000年12月15日 17時21分

3枚 複製本付2

N: 0764 P: 50

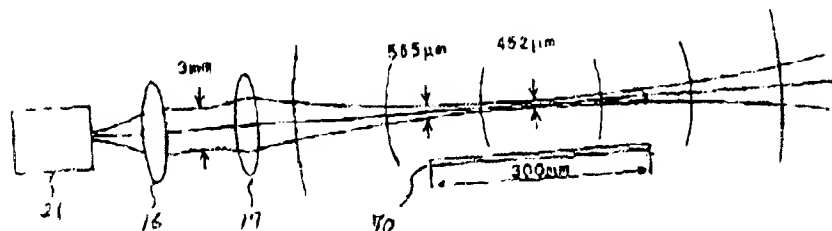
日立 原研 資料

ページ (54 / 61)

ファイル名 = D99008591A1.e1

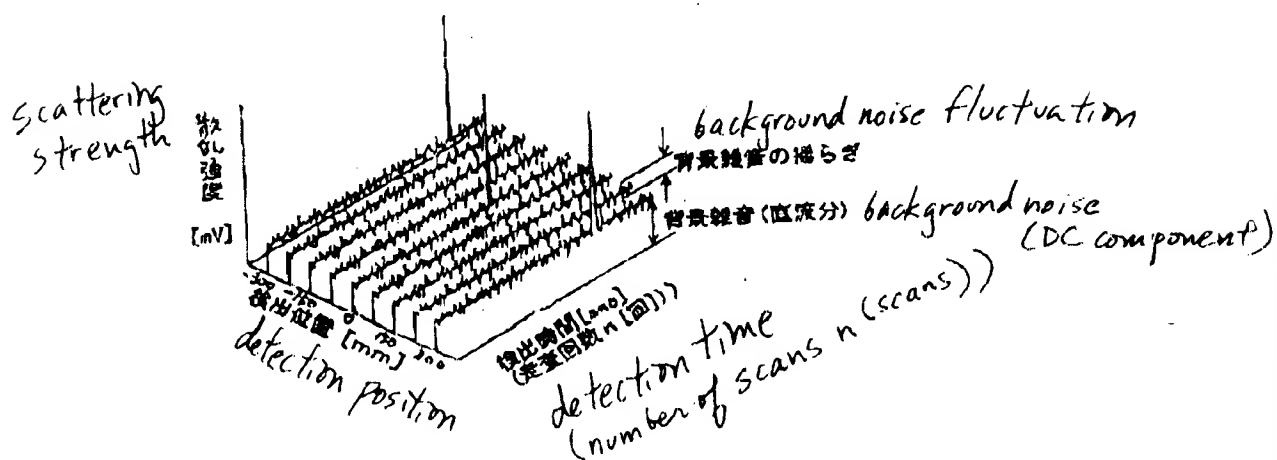
【図18】

図18



【図19】

図19 Fig.19



2001年12月3日 17時21分

日立 株式会社

No. 8764 P. 64

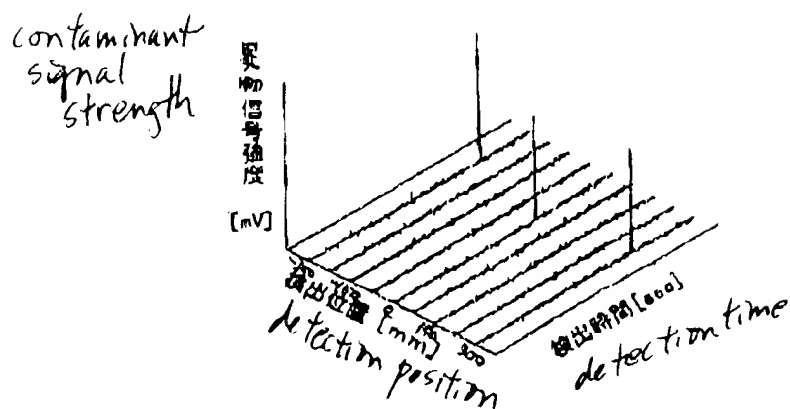
出願書類

ページ (55 / 61)

ファイル名 = D99C09561A1.al

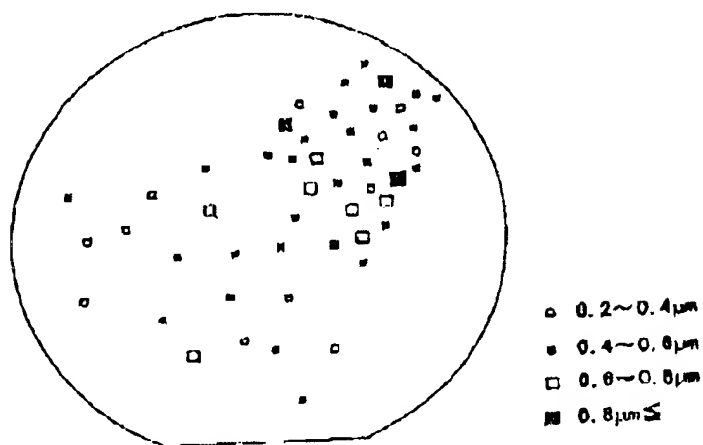
【図 2 0】

図 2 0



【図 2 1】

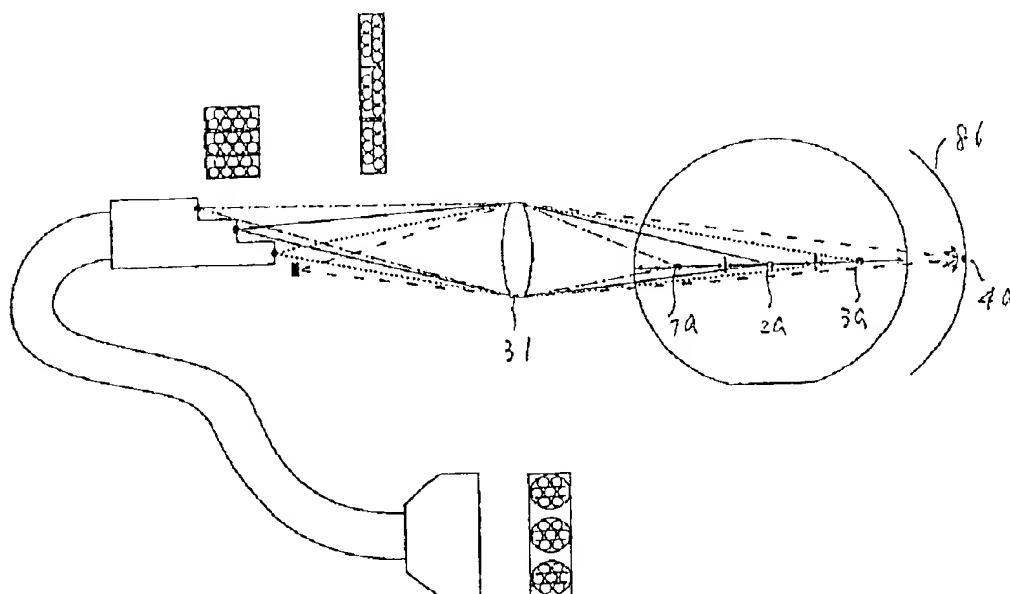
図 2 1



ファイル名 = D99008581A1.el

【図 22】

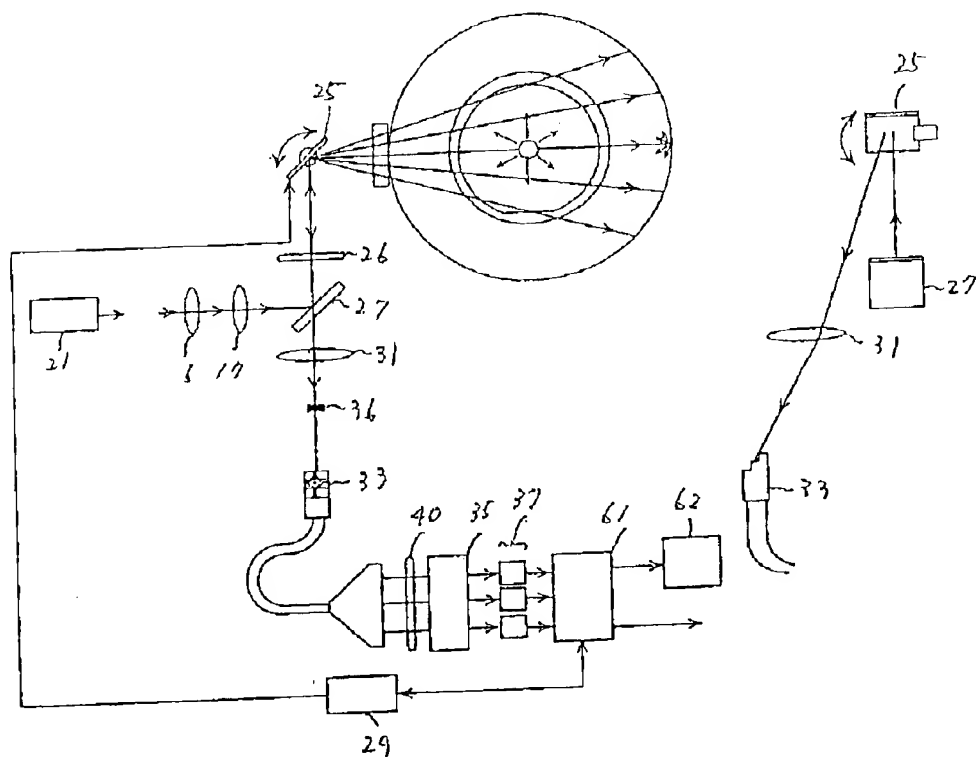
図 22



ファイル名 = D99008581A1.el

【図 23】

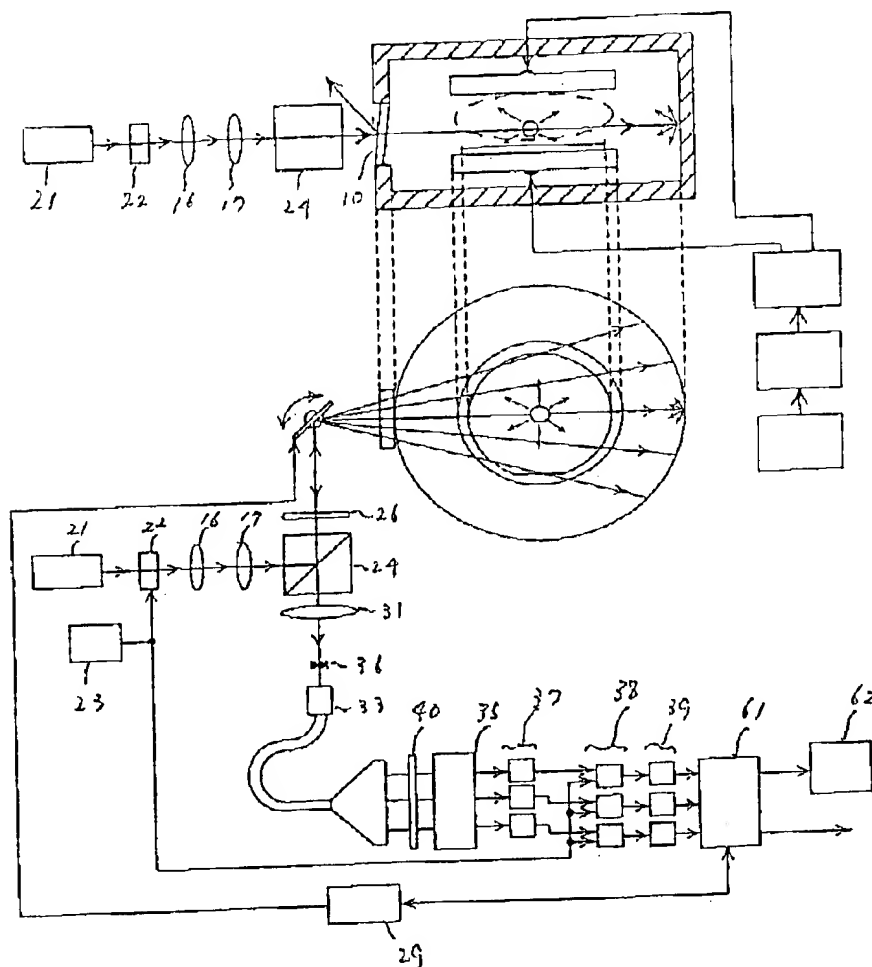
図 23



ファイル名 = D99008581A1.e1

【図 24】

図 24



2000 4 25 02 17 05 22

日立 株式会社

No. 3761 68

Fig. 25
図 25

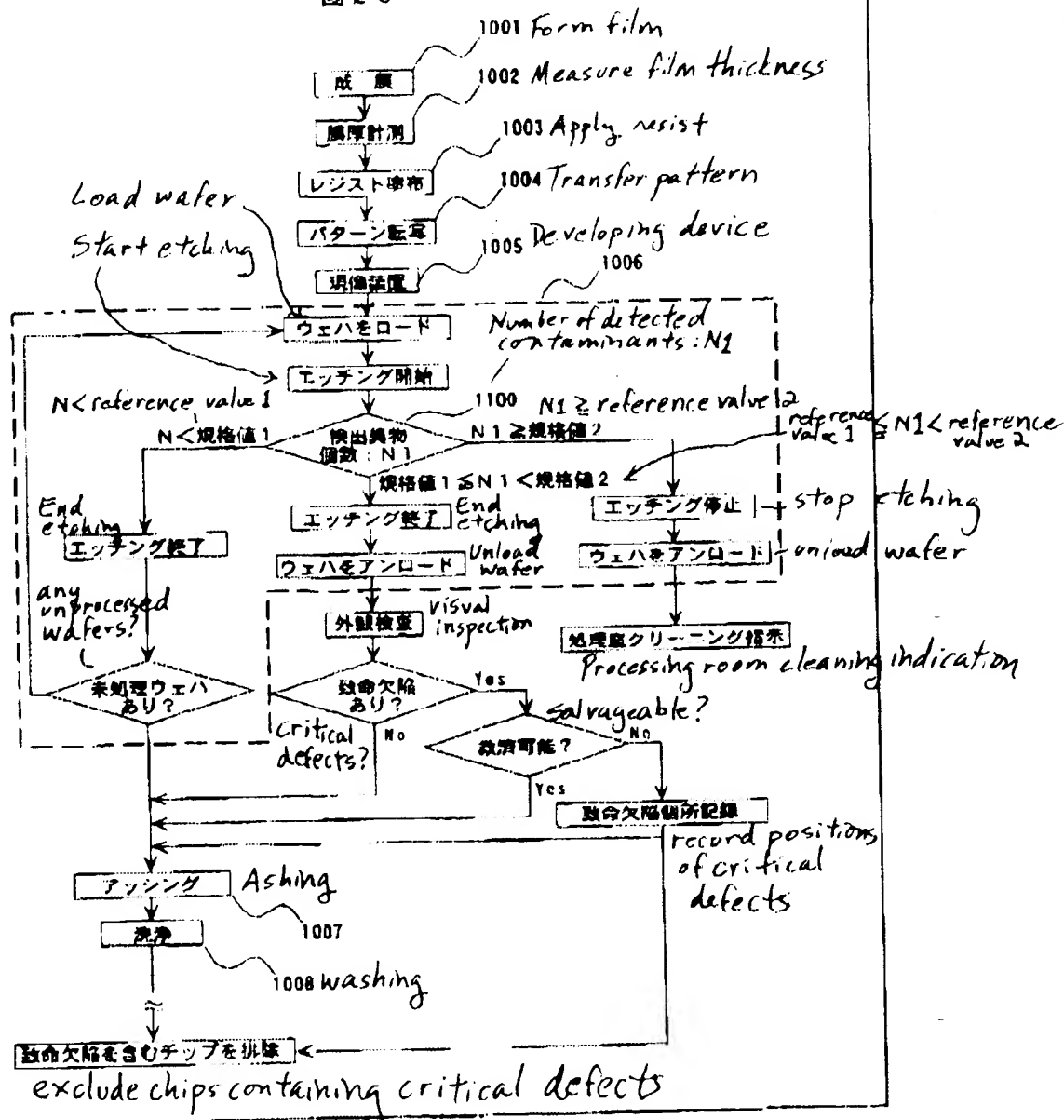


図 26

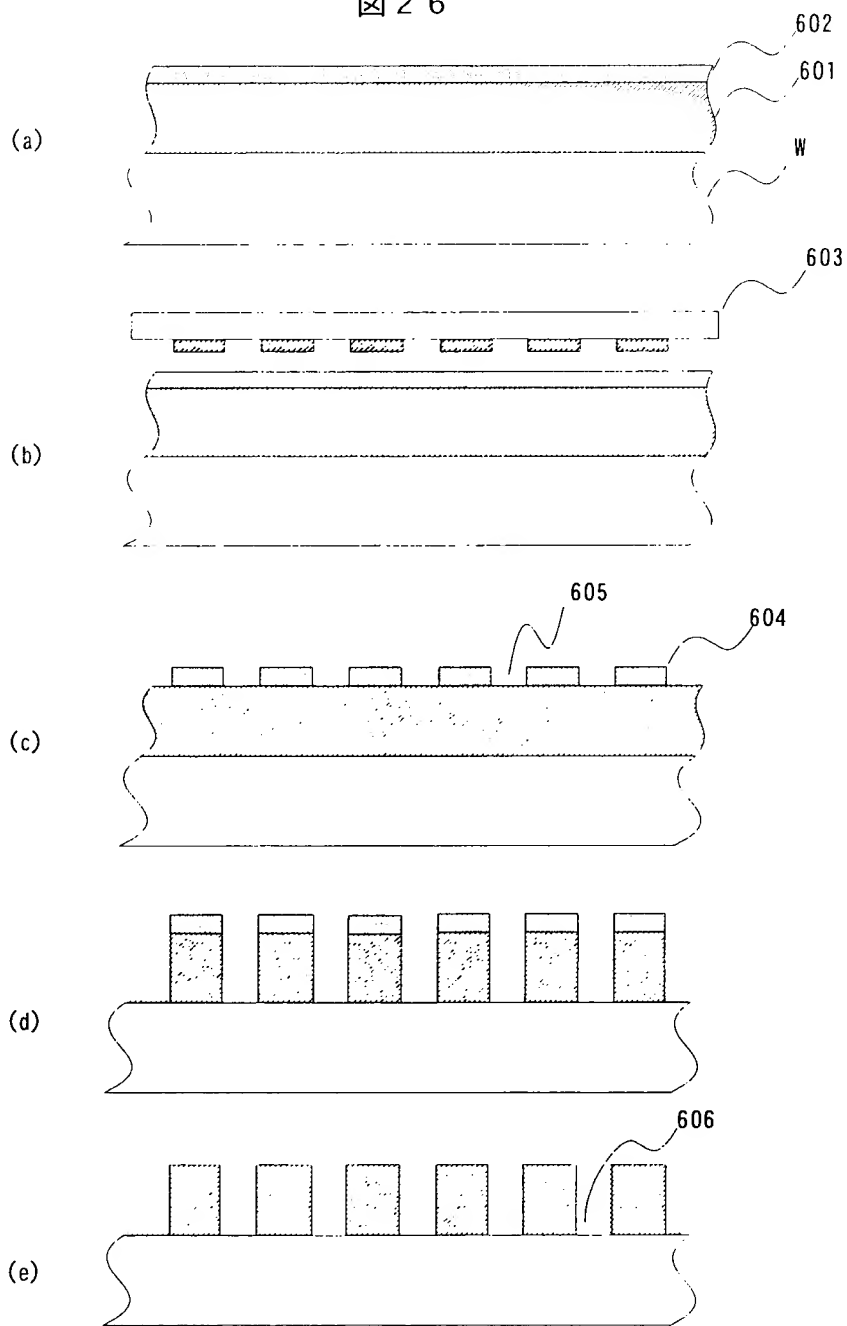


図 27

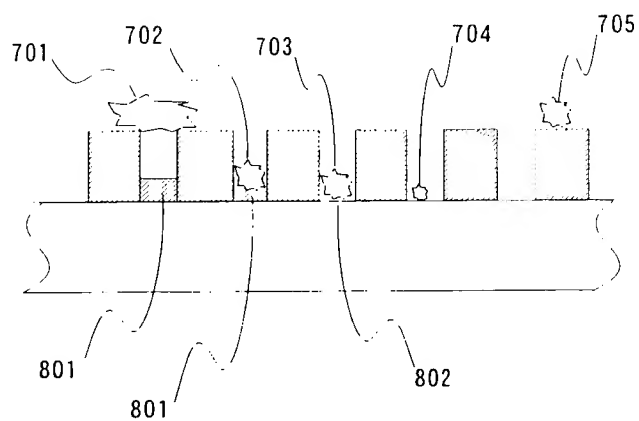
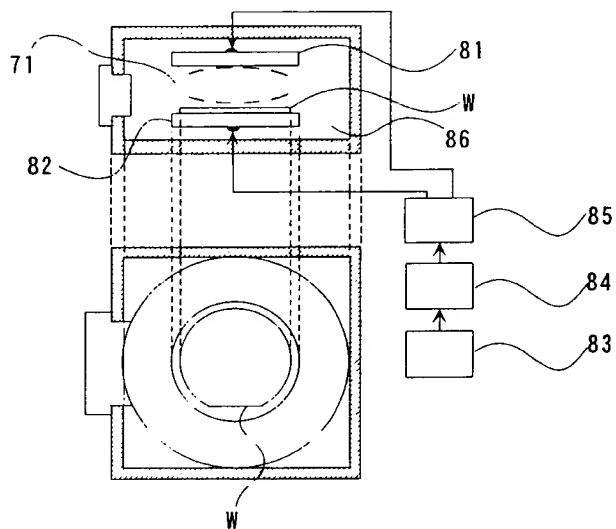
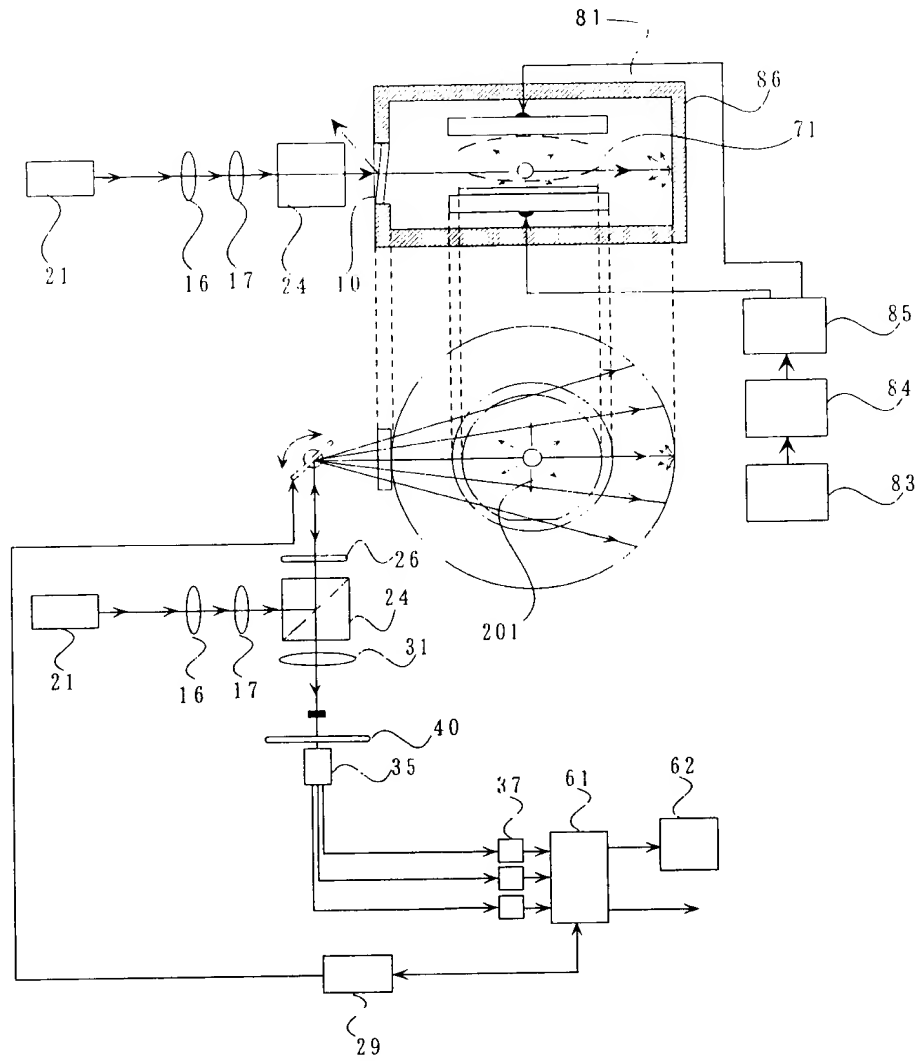


図 28



774970 10000000

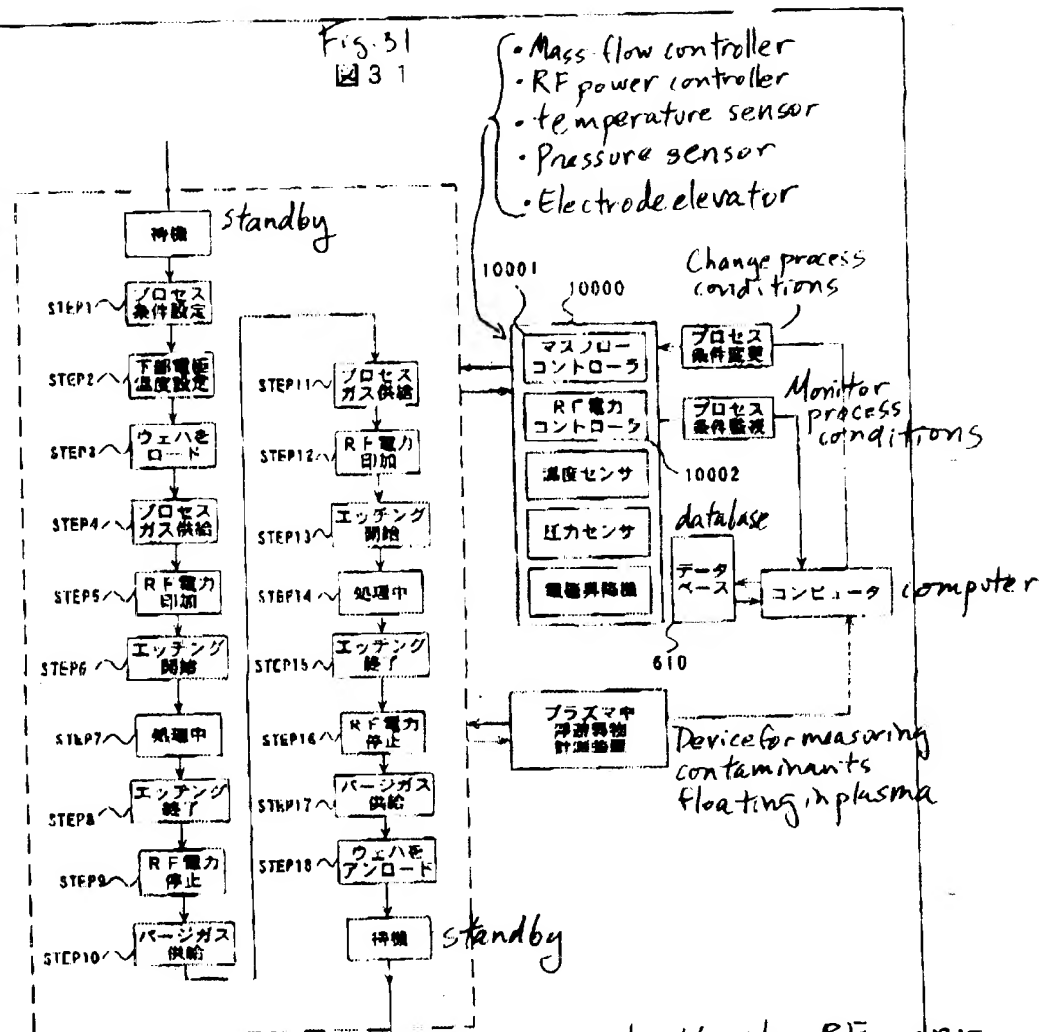
【図 29】



2000 N12CE-15-C 3.17

日立 株式会社

No. 3764 7 73

Fig. 31
図 31

step 1: Set up process conditions
 step 2: Set lower electrode temperature
 step 3: Load wafer
 step 4: Supply process gas
 step 5: Apply RF power
 step 6: Begin etching
 step 7: Processing

step 16: Stop RF power
 step 17: Supply Purge gas
 step 18: Unload wafer

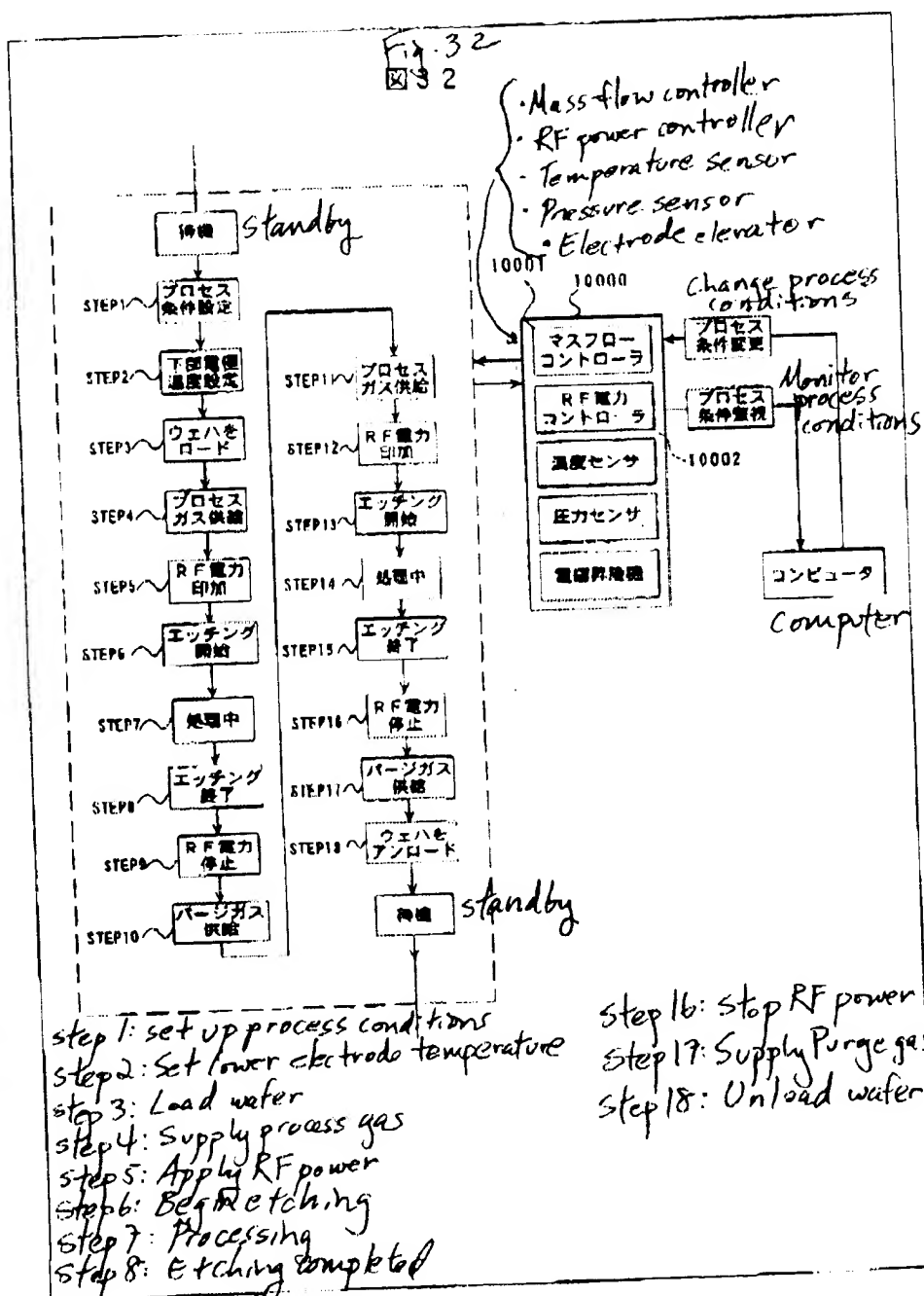
step 8: Etching completed
 step 9: Stop RF power
 step 10: Supply purge gas
 step 11: Supply process gas
 step 12: Apply RF output
 step 13: Begin etching
 step 14: Processing
 step 15: Etching completed

2001.12.17 09:19:23

日立 株式会社

No. 0064

74

Fig. 32
図 32

step 1: set up process conditions
 step 2: Set lower electrode temperature
 step 3: Load wafer
 step 4: Supply process gas
 step 5: Apply RF power
 step 6: Begin etching
 step 7: Processing
 step 8: Etching completed

Step 9: Stop RF power
 step 10: Supply purge gas
 step 11: Supply process gas
 step 12: Apply RF output
 step 13: Begin etching
 step 14: Processing
 step 15: Etching completed

step 16: stop RF power
 step 17: Supply Purge gas
 step 18: Unload wafer